

Release Identification: LTC2274
2008.04.14

リニアテクノロジー、新製品「LTC2274」を販売開始

FPGA の I/O ピンを節約する 16 ビット 105Msps シリアル出力 ADC

2008 年 4 月 14 日 - 高性能アナログ IC のリーディングカンパニーであるリニアテクノロジーは、高速 ADC と FPGA 間のデジタル通信に関してシンプルな新基準を確立する 16 ビット 105Msps ADC 「LTC2274」の販売を開始しました。LTC2274 はシリアル出力なので、パラレル出力を備えた同様の 16 ビット ADC の約半以下のサイズの 6mm × 6mm QFN-40 パッケージで提供されます。1,000 個時の参考単価は 7,500 円(税込み)から、で、リニアテクノロジー国内販売代理店各社経由で販売されます。また 16 ビット、105Msps バージョンに加えて、ピン互換の 80Msps バージョンと 65Msps バージョンを 2008 年夏に販売開始予定のほか、同年 7 月にはコマーシャル温度グレードとインダストリアル温度グレードの両方で量産を開始する予定です。LTC2274 の評価ボードとサンプルは、リニアテクノロジーのウェブサイト (www.linear.com/2274) で入手可能です。

LTC2274 は新しい高速 2 線シリアル・インターフェイスにより、16 ビット ADC と FPGA 間に必要なデータ入出力(I/O)ラインの数を、16 本の CMOS または 32 本の LVDS パラレル・データ・ラインから、2.1Gbps で通信を行う 1 本のセルフクロッキング差動ペアへと大幅に減らし、貴重な FPGA ピンを開放します。

シリアル・データ通信はレイアウトを簡素化し、配線に必要な基板面積を減らすとともに、アナログとデジタルの境界を越えた配線を可能にする柔軟性を提供します。ノイズに敏感なアプリケーションでは、シリアル・インターフェイスがデジタルおよびアナログ回路間の実質的な絶縁バリアとなり、デジタル出力間の結合をなくし、デジタル・フィードバックを低減するのに役立ちます。

LTC2274 の出力データは、8b10b 符号化を使用してデータ・コンバータ向けの JEDEC シリアル・インターフェイス仕様 (JESD204) に従ってシリアル化されており、ザイリンクス社の Rocket IO、アルテラ社の Stratix II GX I/O、ラティス社の ECP2M I/O など多くの FPGA 高速インターフェイスと互換性があります。2.1Gbps の通信速度では、LTC2274 は今日の市場のあらゆる ADC に対して最速のシリアル・インターフェイスを提供します。LTC2274 の独自のインターフェイスと機能は、最先端の通信機器、マルチチャネル・システム、スペースが制限された設計、計測などのアプリケーションすべてに利点を提供します。

LTC2274 はシステム設計全体を改善する独自の機能を備えています。LTC2274 は低レベルの入力信号に対して 100dBc をかなり上回る ADC の SFDR 応答を実現する透過的な内部デザイナー回路を搭載しているので、高感度レシー

リニアテクノロジー株式会社 www.linear-tech.co.jp

〒102-0094 東京都千代田区紀尾井町 3-6 秀和紀尾井町パークビル 8F

メディアの方お問い合わせ先: リニアテクノロジー(株) マーケティング 高橋和渡 TEL 03-5226-7291 ktakahashi@linear.com

ミアクス・アソシエイツ 河西 TEL 0422-47-5319 linear-pr@miacis.com

記事掲載時お問合せ先: リニアテクノロジー(株) TEL 03-5226-7291 (代表) www.linear-tech.co.jp

バ・アプリケーションに対応できます。シリアル・デジタル出力からの干渉を回避するために、オプションのデータ・スクランブラーを使用してシリアル・リンクのスペクトルをランダム化することができます。また、シリアル・インターフェイスのテストを容易にするシリアル・テスト・パターンも内蔵しています。LTC2274 は 105Msps の最大サンプル・レートで動作可能ですが、3つの異なるサンプル・レート範囲の1つにロックするように内部 PLL を設定することもできます。クロック・デューティ・サイクル・スタビライザ回路を内蔵しているため、50%以外のクロック・デューティ・サイクルでも容易に駆動できます。アナログ・セクションとデジタル・セクションはそれぞれ個別のシャットダウン・ピンを備えているため、電力を節減できます。

LTC2274 はリニアテクノロジー製品の高性能な利点を保持しつつ、ベースバンドで SNR が 77.5dB、SFDR が 100dB という優れた性能を達成します。また、 $80f_{s_{RMS}}$ という極めて低いジッタにより、優れたノイズ性能を保ちながら最大 500MHz の入力周波数をアンダーサンプリングできます。消費電力は 3.3V のアナログ電源時に 1.3W です。

リニアテクノロジーの 16ビット高速 ADC ファミリー全体の概要を下表に示します。全製品について、RoHS 準拠の鉛フリー・パッケージを選択できます。詳細については、<http://www.linear.com/ad/highspeedADC.jsp> をご覧ください。

型名	分解能	速度	消費電力	SNR	I/O	パッケージ
LTC2209	16ビット	160Msps	1450mW	77.1dB	CMOS/LVDS	9x9 QFN
LTC2208	16ビット	130Msps	1250mW	77.7dB	CMOS/LVDS	9x9 QFN
LTC2274	16ビット	105Msps	1300mW	77.5dB	シリアル	6x6 QFN
LTC2217	16ビット	105Msps	1190mW	81.2dB	CMOS/LVDS	9x9 QFN
LTC2207	16ビット	105Msps	850mW	77.9dB	CMOS	7x7 QFN
LTC2273	16ビット	80Msps	1080mW	77.5dB	シリアル	6x6 QFN
LTC2216	16ビット	80Msps	970mW	81.3dB	CMOS/LVDS	9x9 QFN
LTC2206	16ビット	80Msps	640mW	77.9dB	CMOS	7x7 QFN
LTC2272	16ビット	65Msps	880mW	77.5dB	シリアル	6x6 QFN
LTC2215	16ビット	65Msps	700mW	81.5dB	CMOS/LVDS	9x9 QFN
LTC2205	16ビット	65Msps	450mW	79.0dB	CMOS	7x7 QFN
LTC2204	16ビット	40Msps	350mW	79.1dB	CMOS	7x7 QFN
LTC2203	16ビット	25Msps	220mW	81.6dB	CMOS	7x7 QFN
LTC2202	16ビット	10Msps	150mW	81.6dB	CMOS	7x7 QFN

リニアテクノロジー株式会社 www.linear-tech.co.jp

〒102-0094 東京都千代田区紀尾井町 3-6 秀和紀尾井町パークビル 8F

メディアの方お問い合わせ先: リニアテクノロジー(株) マーケティング 高橋和渡 TEL 03-5226-7291 ktakahashi@linear.com

ミアキス・アソシエイツ 河西 TEL 0422-47-5319 linear-pr@miacis.com

記事掲載時お問合せ先: リニアテクノロジー(株) TEL 03-5226-7291 (代表) www.linear-tech.co.jp

LTC2274 ファミリの特長

- 高速シリアル・インターフェイス (JESD204)
- サンプル・レート: 105Msps/80Msps/65Msps
- ノイズフロア: 77.7dB、SFDR: 100dB
- PGA フロントエンド (入力範囲が $2.25V_{p-p}$ または $1.5V_{p-p}$)
- 700MHz のフルパワー帯域幅 S/H
- 透過的な内部デザイナー
- データ・スクランブラー
- シリアル・テスト・パターン
- 単一 3.3V 電源
- 消費電力: 1.3W
- 個別のアナログおよびデジタル・シャットダウン・ピン
- クロック・デューティ・サイクル・スタビライザ
- 40ピン 6mm × 6mm QFN パッケージ

フォトキャプション: 16 ビット、105Msps 高性能シリアル出力 ADC

Copyright: 2008 Linear Technology

以上

リニアテクノロジー株式会社 www.linear-tech.co.jp

〒102-0094 東京都千代田区紀尾井町 3-6 秀和紀尾井町パークビル 8F

メディアの方お問い合わせ先: リニアテクノロジー(株) マーケティング 高橋和渡 TEL 03-5226-7291 ktakahashi@linear.com

ミアクス・アソシエイツ 河西 TEL 0422-47-5319 linear-pr@miacis.com

記事掲載時お問合せ先: リニアテクノロジー(株) TEL 03-5226-7291 (代表) www.linear-tech.co.jp